



(19)

(11) Publication number: 2000214228 A

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 11019273

(51) Intl. Cl.: G01R 31/28 G01R 31/26 H01L 21/66

(22) Application date: 28.01.99

(30) Priority:	(71) Applicant: SONY CORP
(43) Date of application publication: 04.08.00	(72) Inventor: TANI KAZUHIKO
(84) Designated contracting states:	(74) Representative:

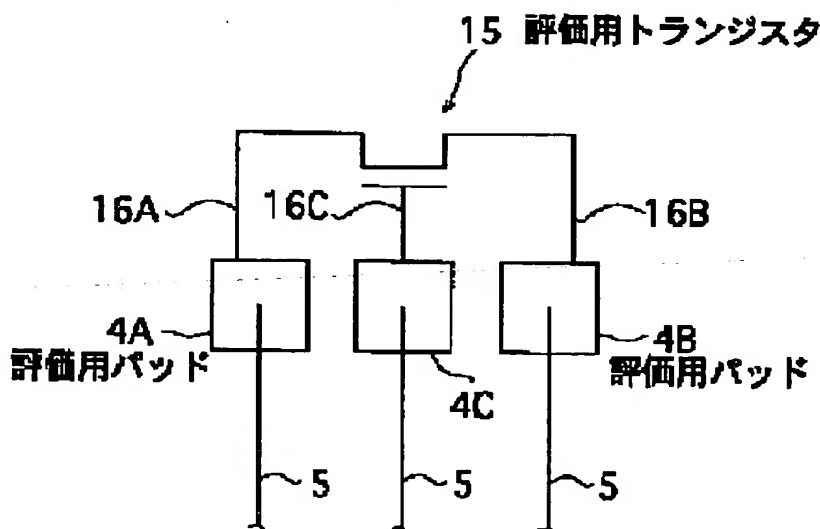
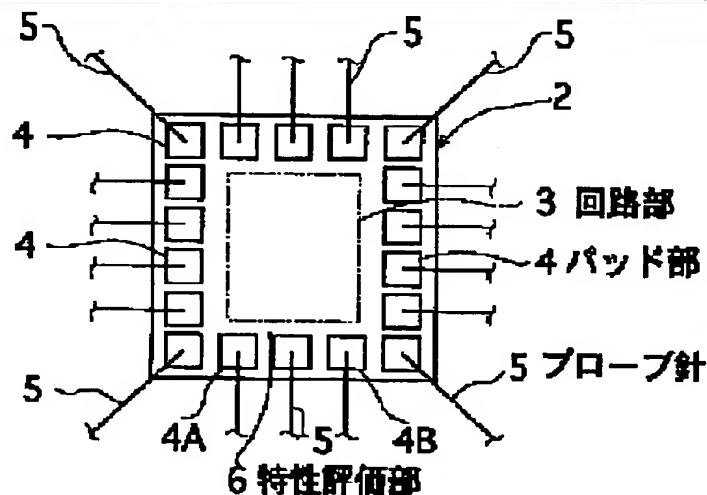
(54) SEMICONDUCTOR DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device capable of speedily specifying the cause of reduction in a manufacturing yield of a semiconductor IC.

SOLUTION: An evaluating transistor 15 having the same configuration as an element (for example, a transistor) constituting a part of an integrated circuit within a circuit part 3 is assembled into a characteristic evaluation part 6 formed in a region different from a region forming the circuit part 3 and a pad part 4, and simultaneously with or independently of an electric evaluation having an object of testing operations of the circuit part 3, the electric evaluation of the evaluating transistor 5 is made. Thus, when the electric evaluation of the circuit part 3 is worse, if the evaluation of the evaluating transistor 5 is worse, it is possible to specify that the transistor within the circuit part 3 is a cause of failure.

COPYRIGHT: (C)2000,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-214228

(P2000-214228A)

(43) 公開日 平成12年8月4日(2000.8.4)

(51) Int.Cl. ⁷	識別記号	F I	テマコード(参考)
G 0 1 R 31/28		G 0 1 R 31/28	V 2 G 0 0 3
31/26		31/26	G 2 G 0 3 2
H 0 1 L 21/66		H 0 1 L 21/66	Y 4 M 1 0 6
			9 A 0 0 1

審査請求 未請求 請求項の数4 O L (全 5 頁)

(21) 出願番号 特願平11-19273

(22) 出願日 平成11年1月28日(1999.1.28)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 谷 和彦

東京都品川区北品川6丁目7番35号 ソニー株式会社内

Fターム(参考) 2G003 AA07 AB05 AB09 AB18 AH02
AH042G032 AB02 AC01 AD06 AD08 AK01
AK154M106 AA02 AA08 AC02 AD14 BA14
CA14 DJ39

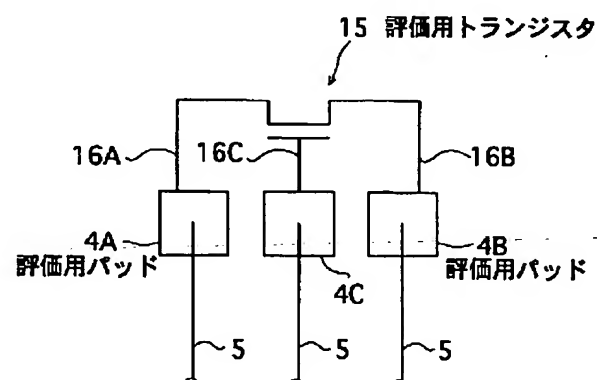
9A001 BB05 KK37 LL05 LL08

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 半導体 I C の歩留まり低下原因を早急に特定することができる半導体装置を提供すること。

【解決手段】 回路部3内の集積回路の一部を構成する要素(例えばトランジスタ)と同じ構成を有する評価用トランジスタ15を、回路部3とパッド部4とが形成される領域とは異なる領域に形成した特性評価部6に組み込み、回路部3の動作試験を目的とする電氣的評価と同時に、又は独立して、評価用トランジスタ15の電氣的評価を行う。これにより、回路部3の電氣的評価が悪い場合には、これと同一の条件で形成される評価用トランジスタ15の評価も悪ければ、回路部3内のトランジスタが不良原因であると特定できる。



【特許請求の範囲】

【請求項 1】 集積回路が形成される回路部と、この回路部から引き出され外部機器と接続されるパッド部とを備えた半導体装置において、前記回路部及び前記パッド部が形成される領域とは異なる領域に、前記集積回路の一部を構成する要素と同じ構成の評価用要素を組み込んだ特性評価部を設けたことを特徴とする半導体装置。

【請求項 2】 前記特性評価部に組み込んだ評価用要素の評価が、前記回路部の動作試験と同時に行われることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記特性評価部から引き出されるパッドの一つを、前記パッド部内のグランド用パッドと共用することを特徴とする請求項 1 又は請求項 2 に記載の半導体装置。

【請求項 4】 前記特性評価部に組み込んだ評価用要素の特性に基づいて、前記回路部の動作性能が評価されることを特徴とする請求項 1 に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置に関し、更に詳しくは、回路の電気的測定を行うに際して有利な構造を備えた半導体装置に関する。

【0002】

【従来の技術】半導体集積回路（以下、半導体 IC という。）の中には多数の電子回路が組み込まれている。半導体 IC のウェーハ状態の完成度の確認は、外部から電源を与え、更にデジタル信号（パルス）、あるいはアナログ信号を与え、個々の電子回路からその信号に呼応した所定のデジタルあるいはアナログ信号が得られるかで電気的評価を行い判定している。半導体 IC は一般に、周辺部に配置されるパッド部に回路から配線を引き出している。そのパッド部にプローブ針と呼ばれる金属の触針を押し当て、上述したデジタル信号あるいはアナログ信号を与え、半導体 IC の電気的試験を行っている。

【0003】図 8 及び図 9 を参照して、半導体 IC はウェーハ 1 から個々に分離された半導体チップ 2 として構成され、この半導体チップ 2 には上記電子回路（集積回路）が形成される回路部 3（図中一点鎖線で示す領域内）と、半導体チップ 2 の周辺に配置され回路部 3 から引き出される配線と接続されるパッド部 4 とを備え、このパッド部を介して実装時に配線基板へ電気的に接続されたり、パッケージング時にリードフレームとワイヤボンディングされたり、あるいは上記プローブ針による回路部 3 の電気的試験が行われる。

【0004】半導体 IC においては、その電気的評価により良品となる確率（以下、歩留まりという。）の高さが利益の鍵を握っている。そのため、歩留まりが下がった場合は原因を早急に調査して歩留まり低下要因を探り、改善を施して歩留まりを回復させる必要がある。半

導体 IC はポリシリコン、アルミニウム等の材料から成る配線、酸化膜に代表される絶縁膜および、それらを組み合わせたトランジスタ等の各要素から構成されている。これらの材料が細い配線として、あるいは $1\mu\text{m}$ 以下の薄膜の絶縁膜として使用され、その加工性が歩留まりを左右する。

【0005】しかしながら、ロジック回路を有する半導体 IC 等では、ウェーハ出荷判断を行うテストングにおいて回路の動作不良項目の判断はできるが、不良箇所および不良を引き起こす要素の特定を行うことができない。その結果、歩留まりが低下した場合にリアルタイムで不良情報を詳細に得ることができず、そのため歩留まり改善に多大な時間を要するといった問題がある。

【0006】

【発明が解決しようとする課題】本発明は上述の問題に鑑みてなされ、半導体 IC の歩留まり低下原因を早急に特定することができる半導体装置を提供することを課題とする。

【0007】

【課題を解決するための手段】以上の課題を解決するにあたり、本発明は、集積回路が形成される回路部、及びこの回路部から引き出され外部機器と接続されるパッド部が形成される領域とは異なる領域に、上記集積回路の一部を構成する要素と同じ構成の評価用要素を組み込んだ特性評価部を設け、回路部の電気的評価と同時に、又は独立して、上記特性評価部に組み込まれた要素の電気的評価を行う。

【0008】ここでいう評価用要素には配線、絶縁材料、又はこれらから成るトランジスタ素子などが該当し、このような、歩留まりを下げる可能性が高い要素を上記回路部のそれと同一の製造条件下で上記特性評価部に形成し、評価するようにすれば、当該特性評価部の評価が低い場合にこれを回路の不良原因、すなわち歩留まり低下原因と特定することができる。

【0009】

【発明の実施の形態】以下、本発明の各実施の形態について図面を参照して説明する。

【0010】まず図 1 を参照して、半導体装置としての半導体チップ 2 は、図中一点鎖線で示すように集積回路が形成される回路部 3 と、その周辺部に配置され回路部 3 から引き出された配線と接続される複数のパッド部 4 とを備えている。本発明に係る特性評価部 6 は、この特性評価部 6 に組み込まれる評価用の配線、絶縁材料、トランジスタ素子を回路部 3 のそれら要素と同一の条件下（材料、加工、パターン疎密等）で形成するべく、回路部 3 の周辺部、あるいは回路部 3 内に意図的に設けた領域に形成される。

【0011】（第 1 の実施の形態）本実施の形態は、回路部 3 の配線状態を評価するための実施態様で、図 2 に示すように特性評価部 6 に、回路部 3 を構成する配線と

同一の構成を有する2本の評価用配線7A及び7Bを形成する。これら評価用配線7A、7Bは相並行して形成されるとともに、その間隔は、回路部3内のデザインルール（例えば0.35 μ m）と同等に形成される。評価用配線7A及び7Bの一端はそれぞれ、パッド部4群の中に配置される評価用パッド4A及び4Bに接続されるが、他端は無接続状態である。なお、評価用パッド4A、4Bの間に位置するパッド部4は、回路部3へ導通するパッド部で、回路部3の電気的試験に供せられる。

【0012】本実施の形態は、配線のショート不良を検出するためのもので、両評価用パッド4A及び4B間に所定の電圧を印加して両者間の導通が認められれば両評価用配線7A、7Bがショート不良を起こしていると判断できる。したがって、これら評価用配線7A、7B間のショート不良が検出された場合、これと同一の条件下で形成された回路部3内の配線にもショート不良が発生している蓋然性が極めて高いために、回路部3の電気的試験で動作不良が検出された場合は配線のショート不良が原因であると特定できる。また、回路部3の動作試験と特性評価部6の特性評価とを同時に行えば、回路部3の動作不良の原因を早急に知ることができる。

【0013】また本実施の形態によれば、特性評価部6の電気的試験を2端子で行うことができるとともに、評価用配線7Bが接続される評価用パッド4Bを、回路部3のパッド部4におけるグランド用パッドと共用することにより、特性評価部6の電気的試験を行う上で必要な評価用パッド数を低減することができる。

【0014】（第2の実施の形態）次に図3及び図4を参照して、本発明の第2の実施の形態について説明する。本実施の形態は、回路部3の一構成要素であるMOS型トランジスタのゲート酸化膜として用いられる薄膜絶縁体を評価するための実施態様であり、特性評価部6（図1参照）に例えば図4に模式的に示す断面構造の素子を形成する。

【0015】すなわち、公知の方法で例えばp型の半導体基板8上に素子分離膜9を介して薄膜絶縁体10及びp⁺領域11を形成した後、薄膜絶縁体10にはアルミニウム又はポリシリコン等から成る電極12を形成し、薄膜絶縁体10及びp⁺領域11にそれぞれ層間膜13を貫通する引き出し配線14A及び14Bを介して表面の評価用パッド4A、4Bを接続する。このうち一方の評価用パッド4Bは上述の第1の実施の形態と同様に回路部3のパッド部4におけるグランド用パッドと共用し、全体的なパッド数の増大を抑制している。

【0016】本実施の形態における評価対象は薄膜絶縁体10であり、これは所定の耐圧を有していなければならない。したがって、評価用パッド4A、4B間にある所定の電圧を印加した際に半導体基板8中のホール（正孔）がキャリアの役割を果たし、両評価用パッド4A、4B間に電流が検出されれば、薄膜絶縁体10の絶縁不

良と判断することができ、これと同一の条件で形成される回路部3内のトランジスタのゲート酸化膜も絶縁不良を発生する蓋然性が極めて高い。よって、回路部3内の動作不良が検出された場合は、トランジスタのゲート絶縁不良が原因であると特定できる。また、特性評価部6の電気的評価を回路部3の動作試験と同時に行えば、回路部3の動作不良の原因を早急に知ることができる。

【0017】（第3の実施の形態）次に図5及び図6を参照して本発明の第3の実施の形態について説明する。本実施の形態は回路部3内のトランジスタの動作特性を評価する実施態様で、回路部3内のトランジスタと同一条件下で形成される評価用トランジスタ15を特性評価部6（図1参照）に組み込んでいる。この評価用トランジスタ15のドレイン、ソース及びゲートの各端子はそれぞれ配線16A、16B及び16Cを介して相隣接する3つの評価用パッド4A、4B及び4Cに接続されている。なお本実施の形態においても評価用パッド4Bを回路部3のグランド用パッドと共用している。

【0018】近年の半導体ICでは高速動作が回路に求められ、その高速動作とトランジスタがある条件下で流し得る電流との間に、ある相関があることが知られている。例えばロジック回路を構成するCMOS（Complementary Metal Oxide Semiconductor）インバータでは、図6を参照して、入力が高レベルから低レベルになったとき寄生容量C1に蓄えられた電荷はnMOSトランジスタTr1を通して放電され、寄生容量C2にはpMOSトランジスタTr2を通して電源電圧Vが充電される。逆に、入力が高レベルから低レベルになったとき寄生容量C1にはpMOSトランジスタTr1を通して電源電圧Vが充電され、寄生容量C2に蓄えられた電荷はnMOSトランジスタTr2を通して放電される。このとき、寄生容量C1、C2の充放電の速度により回路の速度が決まり、ここではC1、C2がトランジスタの速度パラメータになる。この充放電の速度が大きいほどトランジスタの電流能力は大きく、図7に示すように電流能力が大きいほど半導体ICの動作周波数が大きい。

【0019】本実施の形態はトランジスタの以上のような特性を利用したもので、評価用パッド4Cを介して入力信号を与えてから、評価用パッド4A、4B間で充放電電流が検出されるまでの時間を測定することにより、評価用トランジスタ15の特性を評価することができる。

【0020】したがって、回路部3の電気的評価の際、高速動作（高周波での評価）での動作不良が確認された半導体チップ2のトランジスタ特性を予め押えておき、特性評価部6に組み込んだ評価用トランジスタ15の特性が、動作不良と認定された上記トランジスタの特性と近似していれば、回路部3の動作不良をトランジスタの能力不足が原因であると特定できる。そして、トランジスタの電流能力を制御するパラメータC1、C2等を製

造工程にフィードバックすることにより早期に歩留まりを回復させることができる。

【0021】また、トランジスタ特性と半導体 IC の高速動作との相関が得られていれば、回路部 3 内で使用されているトランジスタの特性に近い評価用トランジスタ 15 の特性（電流能力）を測定することにより、回路部 3 の電氣的試験を行わなくても高速動作の良否を判定でき、電氣的評価作業の大幅な時間短縮となる。例えば評価用トランジスタ 15 の電流能力の測定に要する時間は 100ms（ミリ秒）であるのに対し、回路部 3 の動作試験に要する時間は数 s 以上 30 s（秒）以下程度であり、その分、半導体チップ 2 の電氣的評価時間を短縮することができる。

【0022】更に、テスト中に回路部 3 内の配線がショートした場合、過電流の発生によるプローブ針 5 及びトランジスタ自体の損傷を防ぐために電源電位を降下させるが、本実施の形態では評価用パッド 4 B を回路部 3 のグランド用パッドと共用しているため、そのような制約を受けることはなく、よって、評価用トランジスタ 15 の電流能力等の歩留まり低下要因の抽出データ数に影響を与えることなく測定することができる。

【0023】以上、本発明の各実施の形態について説明したが、勿論、本発明はこれらに限定されることなく、本発明の技術的思想に基づいて種々の変形が可能である。

【0024】例えば以上の第 1 の実施の形態では、配線のショート不良を評価するようにしたが、これに限らず、評価用配線を評価用パッド 4 A と 4 B との間に接続すれば当該配線の断線不良の評価を行うことができる。

【0025】また、以上の各実施の形態では配線の評価、薄膜絶縁体の評価及びトランジスタの特性評価と別々に説明したが、これらの評価を 1 つの半導体チップ 2 上の特性評価部 6 において一括して行うようにしてもよい。

【0026】

【発明の効果】以上述べたように、本発明の半導体装置によれば、以下の効果を得ることができる。

【0027】すなわち請求項 1 の発明によれば、回路部*

* の電氣的特性の測定時に歩留まり低下原因を早急に特定でき、歩留まり改善に要する時間を従来よりも大幅に短縮することができる。

【0028】また、請求項 2 の発明によれば、回路部の電氣的特性の測定と同時に歩留まり低下原因を特定することができる。

【0029】請求項 3 の発明によれば、特性評価部に組み込んだ集積回路の一構成要素を評価するに当たり、必要なパッド数の減少を図ることができる。

10 【0030】更に、請求項 4 の発明によれば、評価用素子として例えばトランジスタをチップ内に取り込むことにより、半導体装置の高速動作を評価用トランジスタの特性に代表させ、評価用トランジスタの特性を評価することにより回路部の回路特性が推測でき、もって不良半導体回路の電氣的評価を行う必要をなくして電氣的試験の大幅な時間短縮を図ることができる。

【図面の簡単な説明】

【図 1】本発明に係る半導体装置の全体的な概念図である。

20 【図 2】本発明の第 1 の実施の形態の要部を示す概念図である。

【図 3】本発明の第 2 の実施の形態の要部を示す概念図である。

【図 4】同断面模式図である。

【図 5】本発明の第 3 の実施の形態の要部を示す概念図である。

【図 6】トランジスタの一特性を説明するための回路図である。

30 【図 7】トランジスタの電流能力とその動作特性との関係図である。

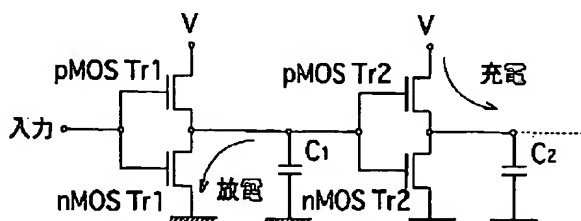
【図 8】ウェーハ状態の個々の半導体装置を示す模式図である。

【図 9】個々の半導体装置の概略図である。

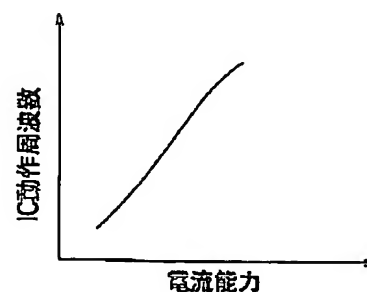
【符号の説明】

1…ウェーハ、2…半導体チップ、3…回路部、4…パッド部、4 A、4 B、4 C…評価用パッド、5…プローブ針、6…特性評価部、7 A、7 B…評価用配線、10…薄膜絶縁体、15…評価用トランジスタ。

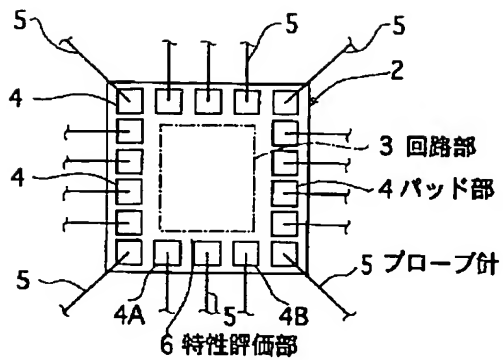
【図 6】



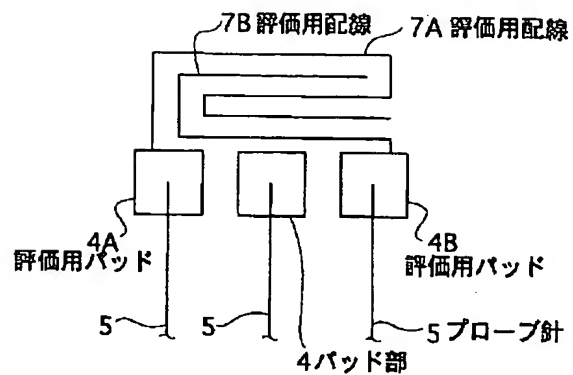
【図 7】



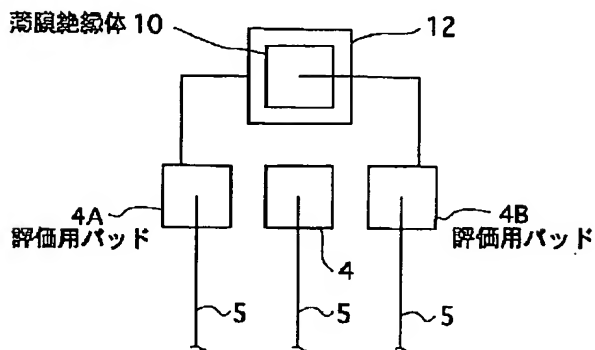
【図1】



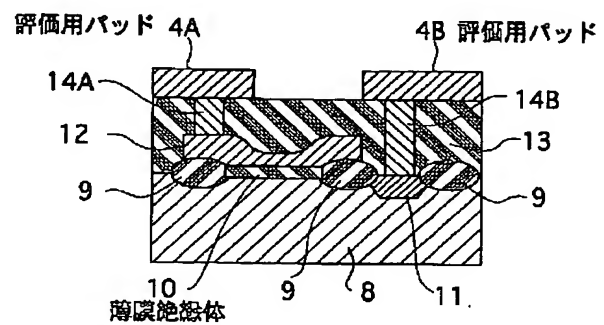
【図2】



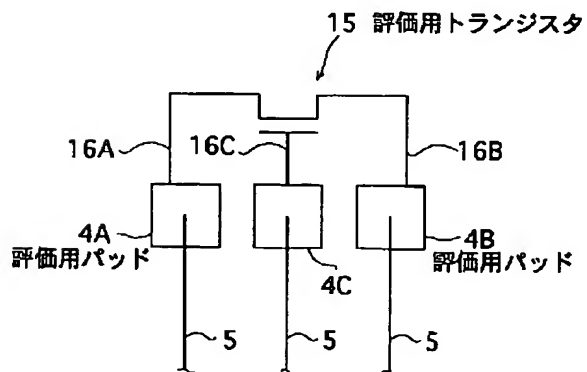
【図3】



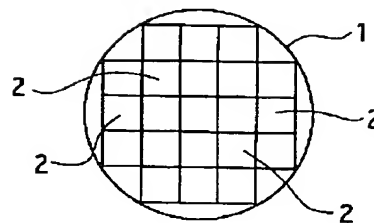
【図4】



【図5】



【図8】



【図9】

